

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-106365

(43)Date of publication of application : 23.04.1996

(51)Int.Cl.

G06F 3/06

G06F 3/06

G06F 13/14

G11B 20/10

(21)Application number : 06-239043

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.10.1994

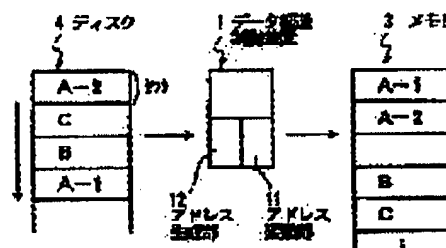
(72)Inventor : TOUGEDA MASAMI

(54) DATA TRANSFER CONTROLLER

(57)Abstract:

PURPOSE: To store data on a memory continuously in specific order even when a disk storage device is accessed not at random, but continuously and to reduce processing for unnecessary data transfer.

CONSTITUTION: The data transfer controller 1 which is provided between the disk storage device 4 storing information and a memory device 3 and controls data transfer has an address generating means 12 which generates logical addresses and an address conversion means 11 which converts the logical addresses into physical addresses, sector by sector, so that data in terms of sectors as units read out of the disk storage device 4 by moving its head continuously in one direction are arranged on the memory in optional order.



LEGAL STATUS

[Date of request for examination]

16.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3095638

[Date of registration]

04.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-106365

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/06	3 0 2 E			
	3 0 1 P			
13/14	3 2 0 H	7368-5E		
G 1 1 B 20/10	F	7736-5D		

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平6-239043

(22) 出願日 平成6年(1994)10月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 坪田 政美

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

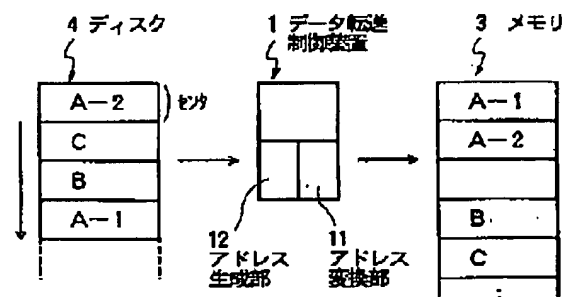
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 データ転送制御装置

(57) 【要約】

【目的】 ディスク記憶装置をランダムにアクセスせず、連続してアクセスを行ってもメモリ上にデータを所定順序で連続的に格納することができ、また、不要なデータ転送の処理を軽減できるようにする。

【構成】 情報を記憶するディスク記憶装置4と、メモリ装置3との間に設けられデータの転送制御をおこなうデータ転送制御装置1において、論理アドレスを生成するアドレス生成手段12と、ディスク記憶装置4がヘッドの連続した一方向の移動により読み出したセクタ単位のデータを上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換するアドレス変換手段11とを有する構成とした。



(2)

特開平8-106365

1

【特許請求の範囲】

【請求項1】 情報を記憶するディスク記憶装置とメモリ装置との間に設けられデータの転送制御をおこなうデータ転送制御装置において、

論理アドレスを生成するアドレス生成手段と、
ディスク記憶装置がヘッドの連続した一方向の移動により読み出したセクタ単位のデータを上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換するアドレス変換手段と、
を具備することを特徴とするデータ転送制御装置

【請求項2】 情報を記憶するディスク記憶装置とメモリ装置との間に設けられデータの転送制御をおこなうデータ転送制御装置において、

論理アドレスを生成するアドレス生成手段と、
ディスク記憶装置がヘッドの連続した一方向の移動により読み出したセクタ単位のデータを上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換するアドレス変換手段とを具備し、
上記アドレス変換手段は、ディスク記憶装置が順次出力するデータのうち予め不必要とされたデータをメモリ上の特定のアドレスに転送する手段を更に有することを特徴とするデータ転送制御装置。

【請求項3】 情報を記憶するディスク記憶装置とメモリ装置との間に設けられデータの転送制御をおこなうデータ転送制御装置において、

論理アドレスを生成するアドレス生成手段と、
ディスク記憶装置が磁気ヘッドの連続した一方向の移動により読み出したセクタ単位のデータを上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換するアドレス変換手段と、
ディスク記憶装置が順次出力するデータのうち予め不必要とされたデータのメモリへの転送を禁止する転送禁止手段と、
を有することを特徴とするデータ転送制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ転送制御装置に係り、特に磁気ディスク記憶装置などのディスク記憶装置の情報をアクセスし、メモリとの間でデータの転送の制御を行うデータ転送制御装置に関する。

【0002】

【従来の技術】磁気ディスク装置などのディスク記憶装置を高速にアクセスする方法として、所謂エレベータシーキングという方法がある。これは、1つのファイルが連続したセクタに記憶されず、ディスクの複数の領域に分散しているデータを現在のヘッド位置から一番近いセクタあるいは、ヘッドの一方向への移動でデータを現在のヘッド位置から一番近いセクタあるいは、ヘッドの位置方向への移動でデータをアクセスできるように、アクセスの順序を入れ替える方法である。

2

【0003】この方法により、ファイルごとにシークをやり直したり、分散されたファイルを各ブロックごとのアクセスでシークを入れないで済むか、あるいは、異なるファイルであっても、連続するブロックにファイルが存在する場合には、一回のシークで連続的にアクセスできるため高速になる(特開平2-7273号公報参照)。

【0004】すなわち、図11に示すようにファイルが格納されている磁気ディスク装置に対して、ファイルC、A、Bの順にリード要求があった場合、通常は、この順番にシークを入れながらアクセスされる、ここでファイルAは、A1、A2に分散されているため、合計4回のシークが入る。しかしながら、前述のエレベータシーキングを行うことにより、A1、B、A2、Cの順のアクセスになり、BとA2は、連続であるため、3回のシークでよく、さらに、シークの距離も短いため高速にアクセスできる。またエレベータシークの他の方式では、A2からCへのアクセスは、シークを行うより連続アクセスした方が早いから、A1、B、A2、Z、X、C順のアクセスで2回のシークで足りる。

【0005】

【発明が解決しようとする課題】ところで、上述した、従来のエレベータシーキングによれば、シーケンシャルなアドレスの発生しかできないため、まずメモリ上の連続領域を確保し、エレベータシーキングにより読み出されたデータを順次メモリへ格納することとなる。

【0006】しかしながら、メモリに格納されたデータは、1つのファイルが連続的に格納されているとは限らないため、CPUによって並べ替えの処理を行う必要があった。

【0007】すなわち、図12に示すように、例えばファイルBとA2は、連続アクセスできるため、そのままメモリの連続空間に記憶される。従って、A1とA2をメモリ中で連続にするには、CPUにより並べ替えを行う必要があるのである。

【0008】さらに、従来の方法では、エレベータシーキングの際に途中に不要なデータがある場合には、シークを行うか、あるいは、図13に示すように不要なデータもそのまま読んでメモリに格納する必要があったため、アクセスが遅くなるか、余分なメモリ領域が必要となってくる。一般に、メモリはかならずしも連続領域が空いているとは限らないため、データの移動やガーベジコレクションを行って、連続領域を確保する必要があるのである。

【0009】そこで、本発明は、ディスク記憶装置をランダムにアクセスせずに、シーケンシャルにアクセスを行ってもメモリ上にデータを所定順序で連続的に格納することができ、また、不要なデータ転送の処理を軽減できるデータ転送制御装置を提供することを目的とする。

50 【0010】

(3)

特開平8-106365

3

【課題を解決するための手段】本発明の第1の態様のデータ転送制御装置は、情報を記憶するディスク記憶装置と、メモリ装置との間に設けられデータの転送制御をおこなうデータ転送制御装置において、論理アドレスを生成するアドレス生成手段と、ディスク記憶装置がヘッドの連続した一方向の移動により読み出したセクタ単位のデータを上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換するアドレス変換手段とを有するデータ転送制御装置である。

【0011】本発明の第2の態様のデータ転送制御装置は、前記第1の態様のデータ転送制御装置において、アドレス変換手段はディスク記憶装置が順次出力するデータのうち予め不必要とされたデータをメモリ上の特定のアドレスに転送する手段を有するデータ転送制御装置である。

【0012】本発明の第3の態様のデータ転送制御装置は、情報を記憶するディスク記憶装置と、メモリ装置との間に設けられデータの転送制御をおこなうデータ転送制御装置において、論理アドレスを生成するアドレス生成手段と、ディスク記憶装置が磁気ヘッドの連続した一方向の移動により読み出したセクタ単位のデータを上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換するアドレス変換手段と、ディスク記憶装置が順次出力するデータのうち予め不必要とされたデータの転送を禁止する転送禁止手段とを有するデータ転送制御装置である。

【0013】

【作用】本発明は、ディスク記憶装置からヘッドの連続した一方向の移動により読み出されたセクタ単位のデータをデータ転送制御装置のアドレス変換手段で上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換する手段を有する。このため、ディスク記憶装置から読みだされた順序が必ずしも整っていない連続したデータが、メモリの適正なアドレスに順序を整えて格納される。

【0014】

【実施例】以下本発明に係るデータ転送制御装置の一実施例を図面に基いて詳細に説明する。図4は、本発明のデータ転送制御装置の一実施例を示すブロック図である。本実施例において、データ転送制御装置1は、SCSIコントローラ14、アドレス生成手段であるDMAコントローラ12、アドレス変換手段であるアドレス変換部11及び制御部13から成り、SCSIコントローラ14にはケーブルでディスク記憶装置である磁気ディスク装置4が接続される。

【0015】一方、制御部13は、バス5を介してCPU2に接続される。また、このバス5にはCPU2とともにメモリ3が接続されている。データ転送制御装置1は、CPU2の制御により動作し、磁気ディスク装置4のデータをメモリ3に転送したり、あるいは、メモリ3

4

に記憶されたデータを磁気ディスク装置4に格納したりして、データの転送制御を行う。

【0016】CPU2はバス5を介して、データ転送制御装置1にディスクアクセスに必要なパラメータをセットする。このパラメータは、一端制御部13を経由してSCSIコントローラ14、DMAコントローラ12、アドレス変換部11、制御部13にセットされる。

【0017】SCSIコントローラ14はSCSIインタフェース仕様のデバイスを制御する装置で、磁気ディスク装置4とSCSIケーブルで接続される。磁気ディスク装置4からのデータの読み出しの際には、SCSIコントローラ14からの命令により、磁気ディスク装置4のヘッドを読み出すセクタの希望するセクタ数のデータを転送する。磁気ディスク装置4からデータがSCSIコントローラ14に転送されると、SCSIコントローラ14は、DMAコントローラ12に対してDMAリクエスト信号(以下DREQ信号)を出力する。DREQ信号を受け取ったDMAコントローラ12は、SCSIコントローラ14に対して、DMAアクノリッジ信号(以下DACK信号)を返してデータを内部のレジスタに格納する。

【0018】DMAコントローラ12は、I/Oデバイスとメモリとの間でCPUを介在せずにデータの転送を直接行う装置であり、受け取ったデータをメモリ3へ転送する。この時、DMAコントローラ12は、アドレス生成部として作用し、CPU2がセットしたパラメータに従ってアドレスを生成し、データとともに出力する。

【0019】本実施例では、DMAコントローラ12から出力されたデータは、制御部13に送られ、アドレスはアドレス変換部11に送られてDMAコントローラ12で生成された論理アドレスを物理アドレスに変換した後に、制御部13を経由してバス5上のメモリ3の物理アドレスに格納される。

【0020】この処理を繰り返すことにより、磁気ディスク装置4のデータが読み出されて、メモリ3へ記憶される。データを磁気ディスク装置4に書き込む場合には、DMAコントローラ12が論理アドレスを生成し、アドレス変換部11において物理アドレスに変換された後、制御部13よりメモリ3に対して物理アドレスに対するデータの読み出し要求が出される。

【0021】メモリ3は、物理アドレスに対応するデータを読み出すと、バス5を経由してデータを制御部13に伝送し読み出しを終了する。このデータは、さらにDMAコントローラ12に送られてラッチされる。この時、SCSIコントローラ14にDREQ信号が出力されていれば、ラッチしたデータをDACK信号とともにSCSIコントローラ14に出力し、SCSIコントローラ14が内部レジスタにラッチし、磁気ディスク装置4へのデータが転送される。

(4)

特開平8-106365

5
【0022】ここで、SCSIコントローラ14から、DREQ信号が出力を受け取るとSCSIコントローラ14にデータを転送し、終了後、再び、論理アドレスを出力してメモリ3からのデータの読み出し要求を出す。

【0023】次に、本実施例に係る装置のアドレス変換部11の構成を説明する。図5は、上記アドレス変換部11の構成を示すブロック図である。アドレス変換部11は、論理アドレスを物理アドレスに変換する物理アドレス変換部103と、論理アドレスを一時記憶する論理アドレスレジスタ100と、論理アドレスレジスタ100に記憶されたアドレスとDMAコントローラ12からの論理アドレスを比較する比較器101と、論理アドレスを物理アドレスに変換するマッピングデータと呼ばれるパラメータを記憶するメモリ3上のアドレスの計算を行うマッピングデータアドレス計算部102と、比較器101の結果よりマッピングデータアドレス計算部102からのアドレスと物理アドレス変換部103から出力される物理アドレスとの選択を行うセレクタ106と、CPU2よりセットされるアクセス禁止アドレスレジスタ104と、アクセス禁止アドレスレジスタ104にセットされたアクセス禁止アドレスと、物理アドレスとの比較を行う比較器105と、比較器105の結果をイネーブルにするアクセス禁止許可手段107とから構成される。

【0024】ここで、マッピングデータアドレスの計算を行うマッピングデータアドレス計算部102は、図6に示すように、マッピングデータを格納したメモリ3のベースアドレスを格納するベースアドレスレジスタ111と加算器112とから構成される。

【0025】図9に示した例を用いて説明すると、メモリ3上のF0000000h番地から、マッピングデータが格納されている場合において、CPU3により制御部13を経由して、ベースアドレスレジスタ111にF0000000hが書き込まれる。DMAコントローラ12からの論理アドレスは、最初00000000hであり加算器112の加算の結果マッピングデータアドレスは、ベースアドレスであるF0000000h番地となる。なお、本実施例では、マッピングの単位を4KBとするため、バイト単位の32ビットアドレスは、上位20ビットが有効で下位12ビットは、無視する。

【0026】したがって、論理アドレス00000000hから00000FFFhまでは、加算器112の結果F0000000hとなる。次に論理アドレスが00001000hとなると、F0000000hと000000004hとを加算しF0000004hとなる。これは、格納されるマッピングデータが32ビットデータとなるため、アドレスが4h単位で加算されるためである。

【0027】このように、論理アドレス00000000h~00000FFFhは、F0000000h、論

6
理アドレス00001000h~00001FFFhは、F0000004h、論理アドレス00002000h~00002FFFhは、F0000008h、論理アドレス00003000h~00003FFFhは、F000000Chとなる。

【0028】次に、物理アドレス変換部103は、図7に示すように、マッピングデータレジスタ113とアドレス置換部114より構成され、論理アドレスを物理アドレスに変換する。

【0029】すなわち、マッピングアドレス計算部102により計算されたマッピングデータアドレスに格納されたデータをメモリ3から読み出した後、マッピングデータレジスタに格納される。図9では、F0000000h番地には、10000000hが入っており、これがマッピングデータレジスタ113に格納される。マッピングは、前述したように4KB単位であるため、上位20ビットが論理アドレスの上位20ビットと置き換えられる。すなわち、論理アドレス00000000h~00000FFFhは10000000h~10000FFFhとなる。

【0030】論理アドレス00001***hの場合は、F0000004h番地のデータ10010000hがマッピングデータレジスタ113にセットされ置換部114により論理アドレス00001000h~00001FFFhは10010000h~10010FFFhとなる。

【0031】同様にして、論理アドレス00002000h~00002FFFhは10005000h~10005FFFh、論理アドレス00003000h~00003FFFhは10001000h~10001FFFhにアドレス変換される。

【0032】次に本実施例に係る装置の動作について説明する。図10は、本実施例に係るデータ転送制御装置の動作の概要を示すフローチャートである。

【0033】本実施例では、DMAコントローラ12からメモリアクセスの要求があると、マッピング処理を行うかどうか判断し(S1)、行わなければ、そのままメモリ3へのアクセスを行い(S8)、DMAコントローラ12へアクセス終了通知を出す(S9)。

【0034】マッピング処理を行う場合には、まず、マッピングデータがセットされているかチェックし(S2)、セットされてなければ、マッピングデータアドレスの計算を行った(S3)後マッピングデータをメモリ3から読み出し(S4)、論理アドレスを論理アドレスレジスタにメモリ3から読み出されたマッピングデータをマッピングデータレジスタにセットし(S5)、物理アドレスの計算を行う(S6)。

【0035】次に、物理アドレスがアクセス禁止アドレスと一致しているかどうかをチェックし(S7)、一致してなければ、計算した物理アドレスでメモリ3へアク

(5)

特開平8-106365

7
セスし(S8)、一致していれば、メモリ3へのアクセスはせずに、DMAコントローラ12に終了通知を出す(S9)。

【0036】以下、アドレス変換部11の動作を中心にデータ転送制御装置の動作を詳細に説明する。ここでは、磁気ディスク装置4からのデータをメモリ3に転送する場合について説明する。

【0037】図8は、磁気ディスク装置4上の物理アドレスのデータを示す。今、1セクタを4KBとし、物理アドレス(N)~(N+3)の4セクタのデータをメモリ3に読み出すものとする。CPU2は、図9に示すように、マッピングテーブルをメモリ3上にデータとして書き込む。すなわち、マッピングデータのベースアドレスF0000000hからF000000Fhまでに4ワードのデータを書き込む。

【0038】これは、セクタ(N)のデータをメモリ3上の1000000hから4KBにセクタ(N+1)のデータを10010000hから4KBに、セクタ(N+2)のデータを10005000hから4KBに、セクタ(N+3)のデータを10001000h~4KBに転送することを意味する。

【0039】次に、CPU2は、この転送をデータ転送制御装置1に行わせる。データ転送制御装置1にパラメータのセットを行う。まず、DMAコントローラ12には、論理アドレス00000000hから000003FFFhまでのバイト単位のアドレスを生成するようにセットする。これは、カウンタや加算器等で簡単に構成できる。

【0040】続いて、アドレス変換部11においては、マッピングデータを格納したベースアドレスF0000000hをベースアドレスレジスタ111にセットする。また、本実施例では、磁気ディスク装置4上のセクタ(N+1)のデータは、必要としないため、メモリ3上の物理アドレスを示すマッピングデータの上位20ビットである10010hをアクセス禁止アドレスレジスタ104にセットする。

【0041】また、マッピングによるデータ転送を行うため、制御部13にマッピングをイネーブルとし、DMAコントローラ12からの論理アドレスとの比較によりマッピングデータをセットするため、論理アドレスレジスタ100を初期化し、転送開始時は、まだマッピングデータがマッピングデータレジスタ113にはセットされていないことを示す。

【0042】これらのCPU2からのパラメータのセットは、バス5、制御部13を経由して行われる。次に、CPU2は、SCSIコントローラ14に対して、磁気ディスク装置4のセクタ(N)から4セクタを読み出すようにSCSIコマンドを磁気ディスク装置4へ送るように命令する。

【0043】以上により読み出しが開始される。磁気デ

8
ィスク装置4からセクタ(N)の1バイト目のデータがSCSIコントローラ14に転送されると、SCSIコントローラ内にあるFIFOレジスタに格納される。SCSIコントローラ14は、これによりDMAコントローラ12に対してDREQ信号を出力する。

【0044】DREQ信号を受け取ったDMAコントローラ12は、SCSIコントローラ14に対してDAC信号と同時にリード要求信号を出力し、1バイトのデータをDMAコントローラ12内のレジスタに格納する。

【0045】次に、DMAコントローラ12は、アドレスを生成し、00000000hのアドレスとともにラッチしたレジスタよりデータを出力し、論理アドレス00000000hへの書き込み要求を制御部13に出す。これを受けて、まずアドレス変換部11ではDMAコントローラ12からの論理アドレスと論理アドレスレジスタ100のアドレスとの比較を比較器101で行う。

【0046】これは最初のデータであり、論理アドレスレジスタ100は、初期化され論理アドレスが格納されていない状態であるため、比較器101での結果は、一致せず、マッピングデータアクセス信号が制御部13へ出力される。

【0047】マッピングデータアドレス計算部102では、ベースアドレスレジスタ111にセットされたF0000000hに論理アドレスを加算器112で加算し、マッピングデータアドレス21をF0000000hとして、セクタ106に入力する。

【0048】ここで、物理アドレスによるアクセスの前にマッピングデータのアクセスとなったため、セクタ106では、マッピングデータアドレスが出力されアドレス17として制御部13に渡される。

【0049】制御部13は、DMAコントローラ12からリード要求があったが、アドレス変換部11の処理により、マッピングデータアクセス信号15が入力されたため、マッピングデータの読み出しを先に行う。

【0050】すなわち、アドレス変換部11からのマッピングデータアドレスF0000000hをバス5に出力し、メモリ3へリード要求を出す。メモリ3から、F0000000hのデータ10000000hが出力される。制御部13に一旦受け取って、メモリアクセスを終了する。このデータは、物理アドレス変換部103のマッピングデータレジスタに上位20ビットが格納される。この処理が終わると同時に、DMAコントローラ12からの論理アドレス00000000hは論理アドレスレジスタ100にラッチされる。

【0051】論理アドレスレジスタ100に00000000hが格納されることにより、比較器101の結果は一致し、セクタ106では、物理アドレス変換部103から出力される物理アドレスが選択されて、制御部

(6)

特開平8-106365

9

10

13に送られる。

【0052】一方、物理アドレス変換部103では、マッピングデータレジスタ113のマッピングデータと論理アドレスの上位20ビットを置換部114で置き換え、物理アドレス10000000hを物理アドレス20として出力する。

【0053】また、比較器105では、物理アドレス20とアクセス禁止アドレスレジスタにセットされた値を比較する。物理アドレス20の上位20ビットは、10010hではないため、アクセス禁止信号は、ディスエーブルとなる。これにより、制御部13は、1バイトのデータを物理アドレス10000000hに書き込むようにバス5を介してメモリ3にアクセスし、メモリ3の10000000hのアドレスに磁気ディスク装置4のセクタ(N)の1バイト目が書き込まれ終了する。この時終了の通知が、制御部13、DMAコントローラ12に送られる。

【0054】次に、2バイト目以降のデータは、SCSIコントローラのデータレジスタは、FI F Oレジスタとなっているため、このレジスタ一杯になるまでメモリ3へのアクセスとは、非同期にSCSIコントローラ内のFI F Oレジスタに取り込まれる。FI F Oレジスタに転送するデータが存在すると、前述のように、メモリ3にデータが書き込まれる。ただし、セクタ(N)の2バイト目以降のデータは、すでに、アドレス変換部11の論理アドレスレジスタ100に00000000hが格納されているため、比較器101の結果は、一致になり、マッピングデータのアクセスは行われず、メモリ3への書き込みのみが行われる。

【0055】また、物理アドレス20は、物理アドレス変換部103の結果、10000001h、10000002h、……、となる。次に、セクタ(N+1)のデータになった場合について説明する。

【0056】SCSIコントローラ14のDREQ信号によりセクタ(N+1)の1バイト目のデータをDMAコントローラ12が受け取ると、論理アドレスは、00001000hが出力されて、制御部13に書き込み要求が出される。しかしながら、アドレス変換部11においては、比較器101の論理アドレスの比較により論理アドレスレジスタ100には00000000hが記憶されているため、不一致となり、マッピングデータアクセス信号が出力される。

【0057】マッピングデータアドレス計算部102では、前述と同様にベースアドレスレジスタ111に論理アドレスの一部を加算し、マッピングデータアドレス21であるF0000004hを生成する。セレクト106は、マッピングデータアドレス21を選択し、制御部13よりメモリ3に対して、リード要求を出し、その結果、マッピングデータレジスタ113には、10010hがセットされる。

10

20

30

40

50

【0058】これにより物理アドレス変換部103では、物理アドレス20が生成され、10010000hが出力される。このとき、比較器105では、アクセス禁止アドレスレジスタ104のセットされた10010hと比較を行う。結果として一致しているため、アクセス禁止信号が出力される。制御部13はこのアクセス禁止信号を受け、DMAコントローラ12からメモリ3への書き込み要求がきているが、メモリ3へのアクセスは行わず、DMAコントローラ12へ終了通知を行う。

【0059】これにより、磁気ディスク装置4のセクタ(N+1)のデータは、磁気ディスク装置4からは読み出されるが、メモリ3へは書き込まれない。次に、セクタ(N+2)のデータになった場合について説明する。

【0060】SCSIコントローラ14のDREQ信号によりDMAコントローラがデータを受け取ると、論理アドレスは、00002000hが出力されて、制御部13に書き込み要求が出される。

【0061】しかしながら、アドレス変換部11においては、比較器101の論理アドレスの比較により論理アドレスレジスタ100には00001000hが記憶されているため、不一致となり、マッピングデータアクセス信号15が出力される。マッピングデータアドレス計算部102では、前述と同様にベースアドレスレジスタ111に論理アドレスの一部を加算し、マッピングデータアドレス21であるF0000008hを生成する。

【0062】セレクト106は、マッピングデータアドレス21を選択し、制御部13よりメモリ3に対して、リード要求を出し、その結果、マッピングデータレジスタには、10005hがセットされる。また、同時に論理アドレスレジスタ100には、論理アドレス00002000hがラッチされる。

【0063】これにより物理アドレス変換部103では、物理アドレス20が生成され、10005000hが出力される。この時、比較器105では、アクセス禁止アドレスレジスタ104のセットされた10010hと比較を行う。結果として不一致しているため、アクセス禁止信号は出力されない。

【0064】したがって、セレクト106では、物理アドレス10005000hが出力され、セクタ(N+2)の1バイト目のデータがメモリ3の10005000hに書き込まれる。以降1バイト目を含めて4KBのデータは、10005***hのアドレスに書き込まれる。

【0065】次に、セクタ(N+3)のデータになった場合について説明する。SCSIコントローラ14のDREQ信号によりDMAコントローラがデータを受け取ると、論理アドレスは、00003000hが出力されて、制御部13に書き込み要求が出される。

【0066】しかしながら、アドレス変換部11においては、比較器101の論理アドレスの比較により論理アド

(7)

特開平8-106365

11

レジスタ100には00002000hが記憶されているため、不一致となり、マッピングデータアクセス信号が出力される。

【0067】マッピングデータアドレス計算部102では、前述と同様にベースアドレスレジスタ111に論理アドレスの一部を加算し、マッピングデータアドレス21であるF000000Chを生成する。セクタ106は、マッピングデータアドレス21を選択し、制御部13よりメモリ3に対して、リード要求を出し、その結果、マッピングデータレジスタには、10001hがセ

ットされる。

【0068】また、同時に論理アドレスレジスタ100には、論理アドレス00003000hがラッチされる。これにより物理アドレス変換部103では、物理アドレス20が生成され、10001000hが出力される。この時、比較器105では、アクセス禁止アドレスレジスタ104のセットされた10010hと比較を行う。結果として不一致しているため、アクセス禁止信号は出力されない。

【0069】したがって、セクタ106では、物理アドレス10001000hが出力され、セクタ(N+3)の1バイト目のデータがメモリ3の10001000hに書き込まれる。以降1バイト目を含めて4KBのデータは、10001***hのアドレスに書き込まれる。

【0070】以上の転送が終了すると、SCSIコントローラ14は、DREQ信号は出力されなくなり、データ転送制御装置1はCPU2に対して割り込み信号等で終了通知を行う。これにより、一連のデータの転送処理は終了する。

【0071】従って本実施例によれば、アクセスすべきデータが磁気ディスク装置上で連続になっても、磁気ディスク装置をランダムにアクセスせずに、シーケンシャルにアクセスを行ってメモリ上に連続的に格納することができ、ランダムアクセスによるロスタイムを減少させることができる。また、シーケンシャルアクセス時に必要としないデータがあった場合には、メモリへのアクセスをすることなく、ディスク装置のアクセスを継続するため、メモリの連続空き領域を確保する必要がなく、また、メモリアクセスの負荷を軽減できる。なお、上記の実施例では、データ転送制御装置1は必要としないデータを検出して、メモリへの転送を行わないものを例として説明したが、データ転送制御装置をガベージ領域を持つものとして構成することができる。

【0072】このばあい、CPUは、メモリ上にガベージ領域として1つの番地を特定しておき、不要のデータを全てこのガベージ領域に転送するように、マッピングデータを作成するものとする。

【0073】従って不要データは、このガベージ領域に次々とオーバーライトされ、メモリの有効領域に上記の

12

実施例と同様にデータが所定の順に格納されることとなる。このばあい、CPUは、メモリ上にガベージ領域として1つの番地を特定しておき、不要のデータを全てこのガベージ領域に転送するように、マッピングデータを作成するものとする。

【0074】従って不要データは、このガベージ領域に書き込まれ、メモリの有効領域に上記の実施例と同様にデータが所定の順に格納されることとなる。この場合にはデータ転送制御装置1には、アクセス禁止信号を生成するための、アクセス禁止アドレスレジスタ104、比較器105、アクセス禁止許可手段107等は必要なくなり装置の構成が単純となる。

【0075】また、上記実施例ではディスク装置として磁気ディスク装置を例として説明したが、ディスク装置は光ディスク装置、光磁気ディスク装置等の他のディスク装置であってもよい。

【0076】従って、ディスク記憶装置のランダムアクセスによるロスタイムを減少させることができる。また、連続したデータ中の不必要なデータは、メモリ3上の特定のアドレスに転送され、次々と書き込まれる。

【0077】従って、特に構成を付加することなく、必要なデータをメモリ3の適正なアドレスに順序を揃えて格納され、不必要なデータはこれのデータとは別の特定のアドレスに格納される。

【0078】さらに、ディスク記憶装置4からヘッドの連続した一方向の移動により読み出されたセクタ単位のデータはデータ転送制御装置1のアドレス変換手段11で上記メモリ上へ任意の順序で並べるようにセクタ単位毎に論理アドレスを物理アドレスに変換される。このため、ディスク記憶装置4から読みだされた、順序が必ずしも整っていない連続したデータはメモリ3の適正なアドレスに順序を揃えて格納される。

【0079】従って、ディスク記憶装置4のランダムアクセスによるロスタイムを減少させることができる。また、禁止手段105は順次出力するデータのうち予め不必要とされたデータの転送を禁止するから、この場合にはメモリへのアクセスをすることなく、ディスク装置のアクセスを継続するため、メモリアクセスの負荷を軽減できる。

【0080】

【発明の効果】以上説明したように、本発明によれば、論理アドレスをセクタ単位に所定の物理アドレスに変換する手段を有するものとしているため、ディスク装置上で一つのファイルが連続になっても、ランダムアクセスをせずに、シーケンシャルアクセスを行ってメモリ上に連続的に格納することができる。よってランダムアクセスによるロスタイムを減少させることができる。また、シーケンシャルアクセス時に必要としないデータがあった場合でも、シークすることなくディスク装置のアクセスを継続し、さらにメモリへのアクセスを行なわ

(8)

特開平8-106365

13

ないため、メモリへの負荷を軽減できるため、システムのパフォーマンスを向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例の動作原理を説明するための概略ブロック図。

【図2】本発明の第2の実施例の原理説明図。

【図3】本発明の第3の実施例の原理説明図。

【図4】本発明に係るデータ転送制御装置の原理構成を示すブロック図。

【図5】図4に示したデータ転送制御装置のアドレス変換部の構成の一例を示すブロック図。

【図6】図4に示したデータ転送制御装置のマッピングアドレス計算部の構成を示すブロック図。

【図7】図4に示したデータ転送制御装置の物理アドレス変換部の構成を示すブロック図。

【図8】磁気ディスク装置のデータの格納状態の一例を

14

示す図。

【図9】磁気ディスク装置上のデータをメモリに転送するときのデータ転送制御装置の状態を説明する図。

【図10】図4に示したデータ転送制御装置の動作を示すフローチャート。

【図11】従来のエレベータシークの方法を示す図。

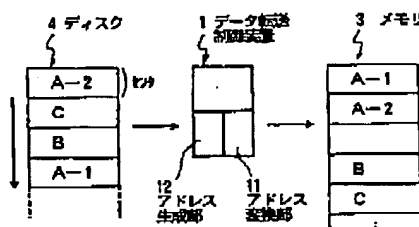
【図12】図11に示した方法によりデータがメモリに転送された状態を示す図。

【図13】他のエレベータシークの方法によりデータがメモリに転送された状態を示す図。

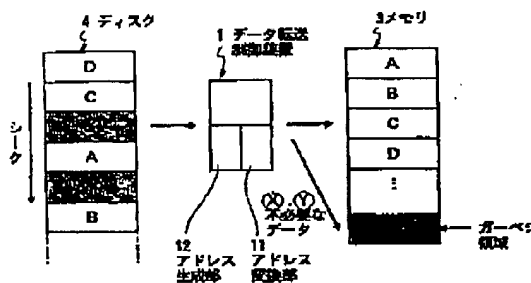
【符号の説明】

1…データ転送制御装置、2…CPU、3…メモリ、4…磁気ディスク装置、5…バス、11…アドレス変換部、12…アドレス生成部(DMAコントローラ)、13…制御部、14…SCSIコントローラ。

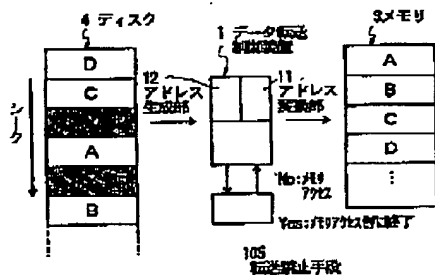
【図1】



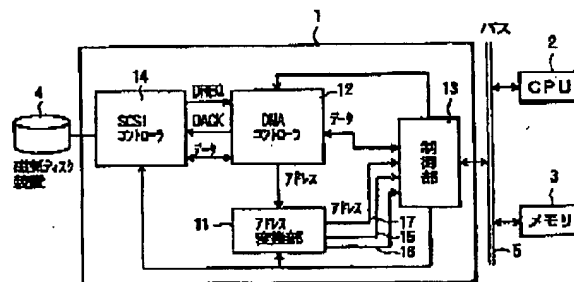
【図2】



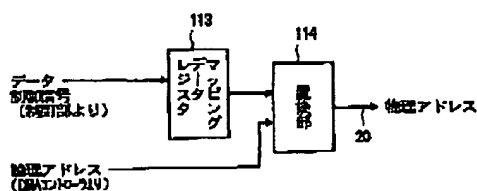
【図3】



【図4】



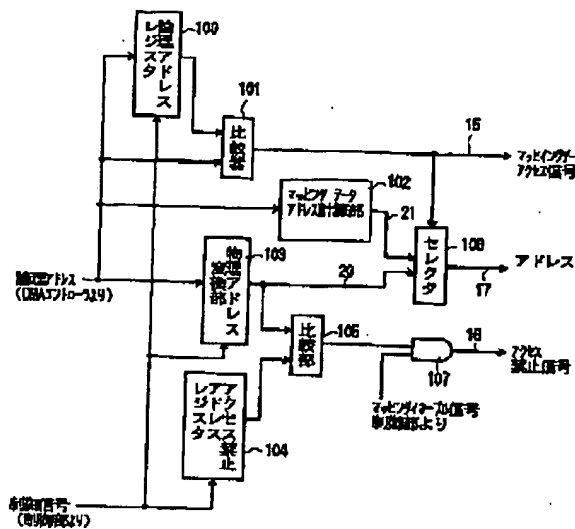
【図7】



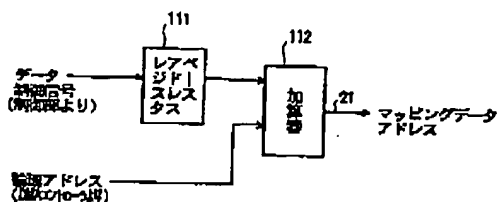
(9)

特開平8-106365

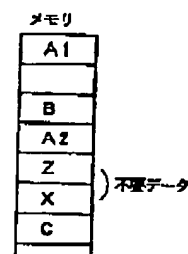
【 図5 】



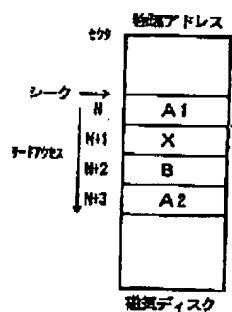
【 図6 】



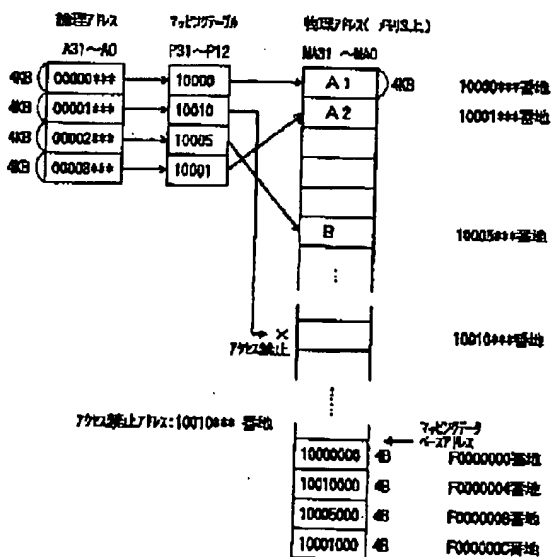
【 図13 】



【 図8 】



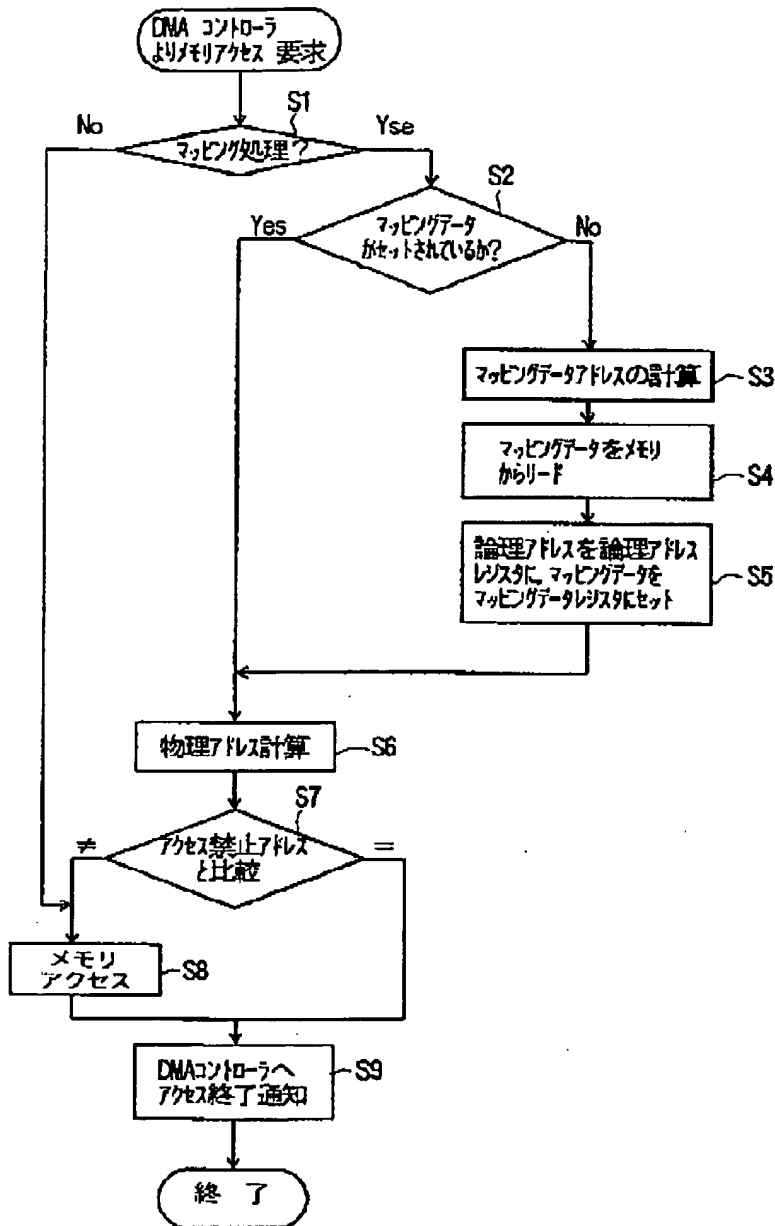
【 図9 】



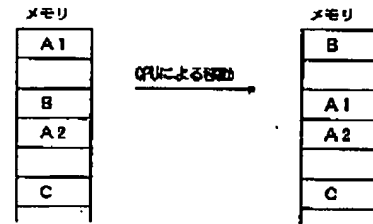
(10)

特開平8-106365

【 図10 】



【 図12 】



(1 1)

特開平8-106365

【 図 1 1 】

